

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-063286

(43)Date of publication of application : 07.03.1997

(51)Int.Cl.

G11C 16/06

(21)Application number : 07-220020

(71)Applicant : OKI MICRO DESIGN MIYAZAKI:KK
OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.08.1995

(72)Inventor : TOMARI NOBUHIRO
MATSUDA YOSHIO

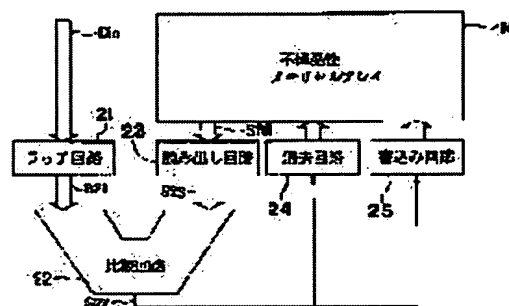
(54) DATA REWRITING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To extend life by eliminating unnecessary erasing operations to a nonvolatile memory.

SOLUTION: Update data Din are latched by a latch circuit 21 and holding data SM are read out and latched from a nonvolatile memory array M by a read-out circuit 23. Data S21 are compared with data S23 by a comparing circuit 22, activation is indicated in coincidence signals S22 when the result of comparison is coincided and inactivity is indicated in coincidence signals S22 when the result is not coincided. Address data designated in the nonvolatile memory array M are erased by a erasing circuit 24 when coincidence signals S22 are inactive. Address data are not erased by the erasing circuit 24 when coincidence signals S22 are active. When coincidence signals S22 indicate inactivity, after the erasing operation is performed by the erasing circuit 24, data are written into the address designated in the nonvolatile memory array M by a writing circuit 26.

When coincidence signals S22 indicate activity, writing operations are not performed by a writing circuit 25.



LEGAL STATUS

[Date of request for examination] 09.03.2001

[Date of sending the examiner's decision of rejection] 25.05.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

本発明の第 1 の実施例のデータ書換回路

1

【特許請求の範囲】

【請求項1】 基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、

前記不揮発性メモリセルに保持されている保持データに対して書き換えるための更新データをラッチする第1のラッチ回路と、

前記保持データを読み出してラッチする第2のラッチ回路と、

前記第1のラッチ回路にラッチされたデータと前記第2のラッチ回路にラッチされたデータとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示す比較回路と、

前記比較回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記比較回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、

前記比較回路が前記一致信号に非活性を示したとき、前記消去回路が前記データの消去を行った後にホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行い、前記比較回路が前記一致信号に活性を示したとき、該書き込み動作を行わない書き込み回路とを、

備えたことを特徴とするデータ書換回路。

【請求項2】 基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、

前記不揮発性メモリセルに保持されている保持データに対して書き換えるための更新データをラッチする第1のラッチ回路と、

前記保持データを読み出してラッチする第2のラッチ回路と、

前記第1のラッチ回路にラッチされたデータと前記第2のラッチ回路にラッチされたデータとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示す比較回路と、

前記比較回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記比較回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、

前記比較回路が前記第1のラッチ回路にラッチされたデ

2

ータと前記第2のラッチ回路にラッチされたデータとの一致／不一致を検出した後、該検出結果にかかわらずホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行う書き込み回路とを、備えたことを特徴とするデータ書換回路。

【請求項3】 基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、

前記不揮発性メモリセルに保持されている保持データを読み出してラッチするラッチ回路と、

高レベル又は低レベルと前記ラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示すデータ検出回路と、

前記データ検出回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、

前記データ検出回路が前記一致信号に非活性を示したとき、前記消去回路が前記データの消去を行った後にホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該書き込み動作を行わない書き込み回路とを、

備えたことを特徴とするデータ書換回路。

【請求項4】 基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、

前記不揮発性メモリセルに保持されている保持データを読み出してラッチするラッチ回路と、

高レベル又は低レベルと前記ラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示すデータ検出回路と、

前記データ検出回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、

前記データ検出回路が高レベル又は低レベルと前記ラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出した後、該検出結果にかかわらずホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入す

10

20

30

40

50

ることにより前記不揮発性メモリセルに対してデータの書き込み動作を行う書き込み回路とを、備えたことを特徴とするデータ書換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、データの記憶装置、特にEEPROM(Electrically Erasable Programmable ROM)等の不揮発性メモリに対するデータの書換回路に関するものである。

【0002】

【従来の技術】EEPROM等の不揮発性メモリのデータの書き換え動作を行う場合、従来のデータ書換回路では、不揮発性メモリの書き込みを行いたいアドレスに既に書き込まれている保持データの内容にかかわらず、先ず該保持データの消去動作を行い、次に書き込み動作を行う。つまり、保持データと書き換えを行いたい更新データとが同一の場合でも書き込み動作が行われる。

【0003】

【発明が解決しようとする課題】従来のデータ書換回路では、次のような課題があった。図2は、不揮発性メモリの一つである一般的なEEPROMの構造を示す概略の断面図である。このEEPROMは、基板1中に形成されたソース領域2及びドレイン領域3の間の上部に、下から順にトンネル絶縁膜4、浮遊ゲート(FG)5、ゲート間絶縁膜6、及び制御ゲート(CG)7を積層した積層ゲートMOSFET構造になっている。ソース領域2にはソース電極11、ドレイン領域3にはドレイン電極12、及び制御ゲート7には制御ゲート電極13がそれぞれ接続されている。このEEPROMでは、浮遊ゲート5中の電子(エレクトロン)の量により、制御ゲート7から見た閾値が変化することを利用してデータの書き込み及び消去を行うようになっている。次に、図2の動作(1)～(2)を説明する。

【0004】(1) 書き込み動作

例えば、ソース電極11に0V、ドレイン電極12に+6V、及び制御ゲート電極13に+12Vをそれぞれ印加する。そして、ソース領域2からドレイン領域3へ電流を流して、ホットエレクトロンをトンネル絶縁膜4を介して浮遊ゲート5へ注入することにより、データの書き込みを行う。

(2) 消去動作

例えば、ソース電極11に+5V、及び制御ゲート電極13に-9Vを印加し、浮遊ゲート5からトンネル絶縁膜4を介してソース領域2へエレクトロンを引抜くことにより、データの消去を行う。以上の動作をデータ書換回路が行っていた。つまり、保持データと更新データとが同一の場合でも消去及び書き込み動作が行われるという無駄な書き換え動作がある。そのため、書き換え可能な回数が減少するという問題があった。

【0005】例えば、図2のEEPROMでは、書き込み及び

消去時に、エレクトロンをトンネル絶縁膜4中を透過させることを行うことから、該トンネル絶縁膜4中にエレクトロンやホールが捕獲され、書き込み効率や消去効率が低下するという信頼性上の問題がある。そのため、書き込み後の閾値が低下し、或いは消去後の閾値が上昇し、この両方の閾値の差である閾値ウィンドウが狭くなる。閾値ウィンドウが狭まると、高レベル(以下、“H”という)及び低レベル(以下、“L”という)の判定ができず、メモリ動作が不可能になってしまうことがある。つまり、EEPROM等の不揮発性メモリには、物理的に書き換え回数に制限があり、或る程度の書き換え回数を越えると、書き換えができなくなるという問題がある。一般的なEEPROMでは、1万回～10万回程度が書き換え回数の限界である。

【0006】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、次のような回路を備えている。即ち、前記不揮発性メモリセルに保持されている保持データに対して書き換えるための更新データをラッチする第1のラッチ回路と、前記保持データを読み出してラッチする第2のラッチ回路と、前記第1のラッチ回路にラッチされたデータと前記第2のラッチ回路にラッチされたデータとの一致/不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示す比較回路と、前記比較回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記比較回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記比較回路が前記一致信号に非活性を示したとき、前記消去回路が前記データの消去を行った後にホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行い、前記比較回路が前記一致信号に活性を示したとき、該書き込み動作を行わない書き込み回路とを、備えている。

【0007】第2の発明では、基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、次のような回路を備えている。即ち、前記不揮発性メモリセルに保持されている保持データに対して書き換えるための更新データをラッチする第1のラッチ回路と、前記保持データを読み出してラッチする第2のラッチ回路と、前記第1のラッチ回路にラッチされたデータと前記第2のラッチ回路にラッチされたデータとの一致/不

5

致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示す比較回路と、前記比較回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記比較回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記比較回路が前記第1のラッチ回路にラッチされたデータと前記第2のラッチ回路にラッチされたデータとの一致／不一致を検出した後、該検出結果にかかわらずホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行う書き込み回路とを、備えている。

【0008】第3の発明では、基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、次のような回路を備えている。即ち、前記不揮発性メモリセルに保持されている保持データを読み出してラッチするラッチ回路と、“H”又は“L”と前記第2のラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示すデータ検出回路と、前記データ検出回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより前記不揮発性メモリセルに対してデータの消去動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記データ検出回路が前記一致信号に非活性を示したとき、前記消去回路が前記データの消去を行った後にホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該書き込み動作を行わない書き込み回路とを、備えている。

【0009】第4の発明では、基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセルに対してデータの書き込み動作及び消去動作を行うデータ書換回路において、次のような回路を備えている。即ち、前記不揮発性メモリセルに保持されている保持データを読み出してラッチするラッチ回路と、“H”又は“L”と前記第2のラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出し、該検出結果が一致のとき一致信号に活性を示し、不一致のとき該一致信号に非活性を示すデータ検出回路と、前記データ検出回路が前記一致信号に非活性を示したとき、前記浮遊ゲートから前記絶縁膜を介して前記ソース領域へエレクトロンを引抜くことにより

6

り前記不揮発性メモリセルに対してデータの消去動作を行い、前記データ検出回路が前記一致信号に活性を示したとき、該消去動作を行わない消去回路と、前記データ検出回路が“H”又は“L”と前記第2のラッチ回路にラッチされたデータの論理レベルとの一致／不一致を検出した後、該検出結果にかかわらずホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより前記不揮発性メモリセルに対してデータの書き込み動作を行う書き込み回路とを、備えている。

【0010】

【作用】第1の発明によれば、以上のようにデータ書き換え回路を構成したので、不揮発性メモリセルに保持されている保持データに対して書き換えるための更新データが第1のラッチ回路にラッチされ、前記保持データが第2のラッチ回路にラッチされる。次に、第1のラッチ回路にラッチされたデータと第2のラッチ回路にラッチされたデータとの一致／不一致が比較回路で検出され、該検出結果が一致のとき該比較回路は一致信号に活性を示し、不一致のとき一致信号に非活性を示す。比較回路が一致信号に非活性を示したとき、消去回路により不揮発性メモリセルの浮遊ゲートから絶縁膜を介してソース領域へエレクトロンを引抜くことによりデータが消去される。次に、前記消去回路が前記データの消去を行った後に書き込み回路によりホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより不揮発性メモリセルに対してデータの書き込みが行われる。一方、比較回路が一致信号に活性を示したとき、消去及び書き込みを行う必要がないので、データ書換回路は消去及び書き込み動作を行わない。そのため、従来と比較して書き換え動作の回数が減少し、不揮発性メモリセルの寿命が延びる。

【0011】第2の発明によれば、第1の発明の比較回路が一致信号に活性を示したとき、データ書換回路は消去動作を行わないが、書き込み回路により不揮発性メモリセルに対してデータの書き込みが行われる。そのため、従来と比較して消去動作の回数が減少し、不揮発性メモリセルの寿命が延びることに加えて該不揮発性メモリセルのデータがリフレッシュされる。第3の発明によれば、不揮発性メモリセルに保持されている保持データがラッチ回路にラッチされる。次に、“H”又は“L”と前記ラッチ回路にラッチされたデータの論理レベルとの一致／不一致がデータ検出回路で検出され、該検出結果が一致のとき該データ検出回路は一致信号に活性を示し、不一致のとき一致信号に非活性を示す。データ検出回路が一致信号に非活性を示したとき、消去回路により不揮発性メモリセルの浮遊ゲートから絶縁膜を介してソース領域へエレクトロンを引抜くことによりデータが消去される。次に、前記消去回路が前記データの消去を行った後に書き込み回路によりホットエレクトロンを前記絶縁膜を介して前記浮遊ゲートへ注入することにより不

揮発性メモリセルに対してデータの書き込みが行われる。一方、データ検出回路が一致信号に活性を示したとき、消去及び書き込みを行う必要がないので、データ書換回路は消去及び書き込み動作を行わない。そのため、従来と比較して書き換え動作の回数が減少し、不揮発性メモリセルの寿命が延びる。第4の発明によれば、第3の発明のデータ検出回路が一致信号に活性を示したとき、データ書換回路は消去動作を行わないが、書き込み回路により不揮発性メモリセルに対してデータの書き込みが行われる。そのため、従来と比較して消去動作の回数が減少し、不揮発性メモリセルの寿命が延びることに加えて該不揮発性メモリセルのデータがリフレッシュされる。従って、前記課題を解決できるのである。

【0012】

【実施例】

第1の実施例

図1は、本発明の第1の実施例を示すデータ書換回路の構成ブロック図である。このデータ書換回路は、書き換えを行いたい n ($n:1$ 以上の整数)ビットの更新データ D_{in} をラッチする第1のラッチ回路21を有している。ラッチ回路21は、 n 個の遅延フリップフロップ(以下、D-FFという)で構成され、該 n 個のD-FFが共通のクロック信号に同期して更新データ D_{in} の各々をラッチする機能を有している。ラッチ回路21がラッチしたデータ $S21$ は、比較回路22の一方の入力側に入力されるようになっている。又、不揮発性メモリセルアレイMに保持されている保持データSMは、第2のラッチ回路である読み出し回路23に入力されるようになっている。この不揮発性メモリセルアレイMは、センスラインの電圧が例えば図2に示すEEPROMのソース領域に、及びビットラインの電圧がドレイン領域に伝達されるようになっている。読み出し回路23は、センスアンプ及びラッチ回路等で構成され、不揮発性メモリセルアレイM中の書き換えを行いたいアドレスの n ビットの保持データSMを読み出してラッチする機能を有している。読み出し回路23がラッチしているデータ $S23$ は、比較回路22の他方の入力側に入力されるようになっている。比較回路22は、データ $S21$ とデータ $S23$ との比較を行い、一致した場合には一致信号 $S22$ に活性を示し、不一致の場合には一致信号 $S22$ に非活性を示す機能を有している。比較回路22の出力側は、消去回路24及び書き込み回路25の各入力側に接続されている。

【0013】消去回路24は、例えばチャージポンプ回路や高電圧スイッチ回路で構成され、一致信号 $S22$ が非活性を示した場合、図示しないタイミングコントローラの指令により、不揮発性メモリセルアレイMのセンスラインに高電圧、及びビットラインに0Vを印加してソース領域へ電子を引抜くことにより不揮発性メモリセルMに対してデータの消去動作を行う機能を有

し、一致信号 $S22$ が活性を示した場合には、該一致信号 $S22$ の論理レベルに基づいて消去動作が禁止されるようになっている。書き込み回路25は、例えばチャージポンプ回路や高電圧スイッチ回路で構成され、一致信号 $S22$ が非活性を示した場合、消去回路24が消去動作を行った後、前記タイミングコントローラの指令により、不揮発性メモリセルアレイMのセンスラインに0V、及びビットラインに高電圧を印加してホットエレクトロンを絶縁膜を介して浮遊ゲートへ注入することにより不揮発性メモリセルMに対してデータの書き込み動作を行う機能を有し、一致信号 $S22$ が活性を示した場合には、該一致信号 $S22$ の論理レベルに基づいて書き込み動作が禁止されるようになっている。

【0014】図3は、図1中の比較回路の回路図である。この比較回路は、 n 個のイクスクルーシブオア回路(以下、E-ORという)22a1~22an ($n:1$ 以上の整数)及び n 入力NOR回路22bを備え、ラッチ回路21の各出力端子が、E-OR22a1~22anの各第1の入力端子にそれぞれ接続されている。読み出し回路23の各出力端子は、ラッチ回路21の各出力端子のLSBからMSBの順序に対応してE-OR22a1~22anの各第2の入力端子にそれぞれ接続されている。E-OR22a1~22anの各出力端子は、NOR回路22bの各入力端子にそれぞれ接続されている。NOR回路22bの出力端子からは一致信号 $S22$ が出力されるようになっている。次に、図1の動作(1)~(3)を説明する。

【0015】(1) データのロード動作

外部から書き換えを行いたいアドレスとそのデータ(即ち、更新データ D_{in})が入力され、ラッチ回路21が該更新データ D_{in} をラッチする。一方、同時に、読み出し回路23が、指定された前記アドレスに対応する保持データSMを不揮発性メモリアレイMから読み出してラッチする。その後、比較回路22は、データ $S21$ とデータ $S23$ とを比較し、その比較結果が一致した場合には一致信号 $S22$ に活性を示し、該比較結果が一致しない場合には一致信号 $S22$ に非活性を示す。

(2) 消去動作

比較回路22が一致信号 $S22$ に非活性を示した場合、タイミングコントローラの指令により、消去回路24は、不揮発性メモリセルアレイMのセンスラインに高電圧、及びビットラインに0Vを印加することにより、該不揮発性メモリアレイM中の指定されたアドレスのデータの消去を行う。但し、比較回路22が一致信号 $S22$ に活性を示した場合、消去回路24は消去動作を行わない。

(3) 書き込み動作

比較回路22が一致信号 $S22$ に非活性を示した場合、前記タイミングコントローラの指令により、消去回路24が消去動作を行った後、書き込み回路25は、不揮発

性メモリセルMのセンスラインに0V、及びビットラインに高電圧を印加することにより、該不揮発性メモリアレイM中の指定されたアドレスにデータの書き込みを行う。但し、比較回路22が一致信号S22に活性を示した場合、書き込み回路25は書き込み動作を行わない。以上のように、この第1の実施例では、データ書換回路は、データS21とデータS23とが一致していない場合には消去及び書き込み動作を行うが、一致している場合には消去及び書き込み動作を行わない。そのため、従来と比較して書き換え動作の回数が減り、不揮発性メモリセルアレイMの寿命が延びる。更に、データS21とデータS23とが一致している場合、消去/書き込み動作が行われないので、その分の動作時間が短縮される。

【0016】第2の実施例

図4は、本発明の第2の実施例を示すデータ書換回路の構成ブロック図であり、図1中の要素と共通の要素には共通の符号が付されている。このデータ書き換え回路では、図1中の書き込み回路25が一致信号S22で制御され、図示しないタイミングコントローラのみで書き込み動作の指令が与えられるようになっている。他は図1と同様の構成である。次に、図4の動作を説明する。書き込み回路25は、比較回路22によるデータS23とデータS21との一致/不一致を検出した後、該検出結果にかかわらずタイミングコントローラの指令により書き込み動作を行う。他は第1の実施例と同様の動作を行う。従って、データの書き換えが行われない場合でも不揮発性メモリセルアレイMの保持データがリフレッシュされる。以上のように、この第2の実施例では、データS21とデータS23とが一致した場合には消去回路24は消去動作を行わないが、書き込み回路25が書き込み動作を行う。消去及び書き込み動作が行われない場合、不揮発性メモリセルアレイMに対する損傷は全くなく、書き込み動作のみが行われる場合、不揮発性メモリセルアレイMに対する損傷は、消去及び書き込み動作を行う場合に比較して遥かに少ない。そのため、第1の実施例と同様に、消去回数が減り、不揮発性メモリセルアレイMの寿命が延びる。又、書き込み動作のみを行うことにより、データを長期間保持していて保持特性が劣化している不揮発性メモリセルアレイMの保持データがリフレッシュされる。

【0017】第3の実施例

図5は、本発明の第3の実施例を示すデータ書換回路の構成ブロック図である。このデータ書換回路は、データ検出回路32を有している。このデータ検出回路32はE-ORで構成され、一方の入力端子は“L”に接続されている。又、このデータ書換回路は、ラッチ回路である読み出し回路33を備えている。読み出し回路33は、センスアンプ及びラッチ回路等で構成され、不揮発性メモリセルアレイMAに保持されている保持データSMAを読み出してラッチする機能を有している。読み出

し回路33の出力端子は、データ検出回路32の他方の入力端子に接続されている。このデータ検出回路32は、読み出し回路33が読み出したデータS33が“L”（書き込みされた場合はデータが“L”になるものとする）であるか否かを検出し、データS33が“L”の場合には一致信号S32に活性を示し、データS33が“H”の場合には一致信号S32に非活性を示す回路である。不揮発性メモリセルアレイMAは、図1中の不揮発性メモリセルアレイMと同様に、センスラインの電圧が例えば図2に示すEEPROMのソース領域に、及びビットラインの電圧がドレイン領域に伝達されるようになっている。データ検出回路32の出力側は、消去回路34及び書き込み回路35の各入力側に接続されている。

【0018】消去回路34は、図1中の消去回路24と同様にチャージポンプ回路や高電圧スイッチ回路で構成され、一致信号S32が非活性を示した場合、図示しないタイミングコントローラの指令により、不揮発性メモリセルアレイMAのセンスラインに高電圧、及びビットラインに0Vを印加して消去動作を行う機能を有し、一致信号S32が活性を示した場合には、該一致信号S32の論理レベルに基づいて消去動作が禁止されるようになっている。書き込み回路35は、図1中の書き込み回路25と同様にチャージポンプ回路や高電圧スイッチ回路で構成され、一致信号S32が非活性を示した場合、消去回路34が消去動作を行った後、前記タイミングコントローラの指令により、不揮発性メモリセルアレイMAのセンスラインに0V、及びビットラインに高電圧を印加して書き込み動作を行う機能を有し、一致信号S32が活性を示した場合には、該一致信号S32の論理レベルに基づいて書き込み動作が禁止されるようになっている。次に、図5の動作(1)～(3)を説明する。

【0019】(1) 読み出し回路33は、不揮発性メモリセルアレイMAの書き換えを行うアドレスのデータの読み出しを行う。読み出した結果が“L”であるか（即ち、データが書き込みされているか）否かをデータ検出回路32で検出する。データ検出回路32は、読み出した結果が“L”の場合には一致信号S32に活性を示し、“H”の場合には一致信号S32に非活性を示す。

(2) 消去動作

データ検出回路32が一致信号S32に非活性を示した場合、タイミングコントローラの指令により、消去回路34は、不揮発性メモリセルアレイMAのセンスラインに高電圧、及びビットラインに0Vを印加することにより、該不揮発性メモリアレイMA中の指定されたアドレスのデータの消去を行う。但し、データ検出回路32が一致信号S32に活性を示した場合、消去回路34は消去動作を行わない。

(3) 書き込み動作

データ検出回路32が一致信号S32に非活性を示した場合、消去回路34が消去動作を行った後、タイミングコントローラの指令により、書き込み回路35は、不揮発性メモリセルアレイMAのセンスラインに0V、及びビットラインに高電圧を印加することにより、該不揮発性メモリアレイMA中の指定されたアドレスにデータの書き込みを行う。但し、データ検出回路32が一致信号S32が活性を示した場合、書き込み回路35は書き込み動作を行わない。

【0020】このように、不揮発性メモリアレイMA中の保持データが“L”（即ち、既にデータが書き込まれている）の場合は、消去及び書き込み動作を行わない。以上のように、この第3の実施例では、不揮発性メモリアレイMAにデータが書き込まれている（即ち、データが“L”）場合は、データ書換回路は消去及び書き込み動作を行わない。そのため、第1の実施例と同様に、不揮発性メモリセルアレイMAに全く損傷を与えず、書き換え回数が減り、該不揮発性メモリセルアレイMAの寿命が延びる。更に、第1の実施例における第1のラッチ回路がないので、回路規模が小さくなる。

【0021】第4の実施例

図6は、本発明の第4の実施例を示すデータ書換回路の構成ブロック図であり、図5中の要素と共通の要素には共通の符号が付されている。このデータ書換回路は、データ検出回路32Aを有している。このデータ検出回路32AはE-ORで構成され、一方の入力端子は“H”に接続されている。このデータ検出回路32Aは、読み出し回路33が読み出したデータS33が“H”（消去された場合はデータが“H”になるものとする）であるか否かを検出し、データS33が“H”の場合には一致信号S32Aに活性を示し、データS33が“L”の場合には一致信号S32Aに非活性を示す回路である。又、図5中の書き込み回路36が一致信号S32Aで制御されず、図示しないタイミングコントローラのみで書き込み動作の指令が与えられるようになっている。他は図5と同様の構成である。次に、図6の動作を説明する。

【0022】書き込み回路36は、データ検出回路32AによるデータS33と“H”との一致／不一致の検出の後、該検出結果にかかわらずタイミングコントローラの指令により書き込み動作を行う。他は第3の実施例と同様の動作を行う。以上のように、この第4の実施例では、不揮発性メモリセルアレイMAの保持データが“H”（即ち、既にデータが消去されている）の場合は、消去動作を行わずにデータの書き込み動作のみが行われるので、書き換え回数が減り、不揮発性メモリセルアレイMAの寿命が延びる。更に、第1の実施例における第1のラッチ回路がないので、回路規模が小さくなる。尚、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のような

ものがある。

【0023】（a）第1及び第2の実施例は、バイト単位の書き換えを想定した回路であり、第3及び第4の実施例は、ビット単位の書き換えを想定した回路であるが、これらの実施例は、読み出し回路、ラッチ回路、比較回路、検出回路等の数を必要に応じて増減すれば、ビット、バイト、ページ（即ち、数バイトの一括書き込み）に対応できる。

（b）本発明はEEPROMに限らず、例えばフラッシュメモリのように基板中に形成されたソース領域とドレイン領域間上に、絶縁膜を介して浮遊ゲートが設けられた不揮発性メモリセル全般に適用される。

【0024】

【発明の効果】以上詳細に説明したように、第1の発明によれば、データ書換回路は、更新データと保持データとが一致していない場合には消去及び書き込み動作を行うが、一致している場合には消去及び書き込み動作を行わない。そのため、従来と比較して書き換え動作の回数を減らすことができ、不揮発性メモリセルの寿命を延ばすことができる。更に、更新データと保持データとが一致している場合、消去／書き込み動作を行わないので、その分の動作時間を短縮できる。第2の発明によれば、更新データと保持データとが一致した場合には消去回路は消去動作を行わないが、書き込み回路が書き込み動作を行う。消去も書き込みも行わない場合、不揮発性メモリセルに対する損傷は全くなく、書き込みのみを行う場合、不揮発性メモリセルに対する損傷は消去及び書き込みを行う場合に比較して遥かに少ない。そのため、不揮発性メモリセルの寿命を延ばすことができる。又、書き込み動作のみを行うことにより、データを長期間保持して保持特性が劣化している不揮発性メモリセルのデータをリフレッシュさせることができる。

【0025】第3の発明によれば、不揮発性メモリセルにデータが書き込まれている場合は、データ書換回路は消去及び書き込み動作を行わない。そのため、不揮発性メモリセルに全く損傷を与えず、書き換え回数を減らすことができ、該不揮発性メモリセルの寿命を延ばすことができる。更に、第1の発明の第1のラッチ回路がないので、第1の発明よりも回路規模を小さくできる。第4の発明によれば、不揮発性メモリセルの保持データが既に消去されている場合には、消去動作を行わずにデータの書き込み動作のみが行われるので、不揮発性メモリセルの寿命を延ばすことができる。更に、第1の発明の第1のラッチ回路がないので、第1の発明よりも回路規模を小さくできる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すデータ書換回路の構成ブロック図である。

【図2】従来の一般的なEEPROMの断面図である。

【図3】図1中の比較回路の回路図である。

13

14

【図4】本発明の第2の実施例を示すデータ書換回路の構成ブロック図である。

【図5】本発明の第3の実施例を示すデータ書換回路の構成ブロック図である。

【図6】本発明の第4の実施例を示すデータ書換回路の構成ブロック図である。

【符号の説明】

2 ソース領域
3 ドレイン領域間
4 絶縁膜

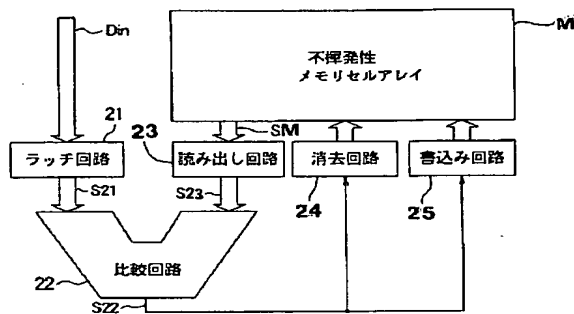
* 5

21
23, 33
22,
24, 34
25, 35
32, 32A
M, MA
セル

* 10

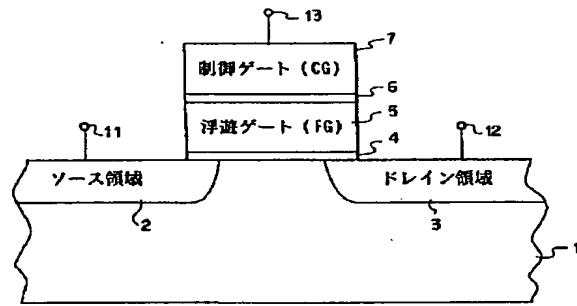
浮遊ゲート
ラッチ回路
読み出し回路
比較回路
消去回路
書き込み回路
データ検出回路
不揮発性メモリ

【図1】



本発明の第1の実施例のデータ書換回路

【図2】



一般的なEEPROM

【図3】

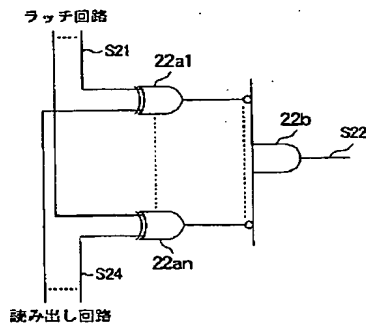
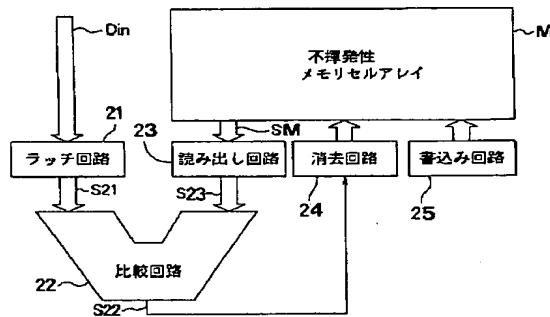


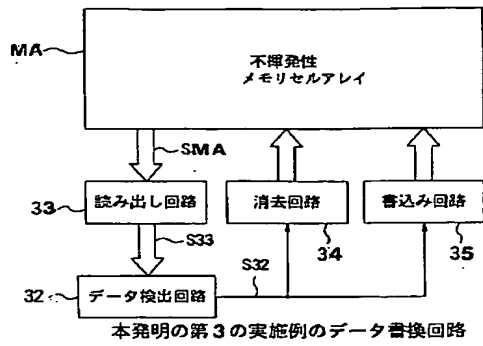
図1中の比較回路

【図4】



本発明の第2の実施例のデータ書換回路

【図5】



【図6】

